

公開実用平成 2-58840

⑩ 日本国特許庁(JP)

⑪ 実用新案出願公開

⑫ 公開実用新案公報(U)

平2-58840

⑬ Int. Cl.⁵

識別記号

庁内整理番号

⑭ 公開 平成2年(1990)4月27日

G 06 F 3/05
G 06 G 7/04
H 03 M 1/18

3 0 1

J
H

8323-5B
6745-5B
6832-5J

審査請求 未請求 請求項の数 1 (全 頁)

⑮ 考案の名称 信号処理装置用入力装置

⑯ 実 願 昭63-136798

⑰ 出 願 昭63(1988)10月19日

⑱ 考 案 者 小 園 祐 一 東京都練馬区旭町1丁目32番1号 株式会社アドバンテス
ト内

⑲ 考 案 者 平 井 正 久 東京都練馬区旭町1丁目32番1号 株式会社アドバンテス
ト内

⑳ 考 案 者 須 貝 昌 郎 東京都練馬区旭町1丁目32番1号 株式会社アドバンテス
ト内

㉑ 出 願 人 株式会社アドバンテス 東京都練馬区旭町1丁目32番1号
ト

㉒ 代 理 人 弁理士 草 野 卓

明 細 書

1. 考案の名称

信号処理装置用入力装置

2. 実用新案登録請求の範囲

(1) A、任意の直流電圧（又は電流）を発生する
オフセット発生器と、

B、被処理信号に上記オフセット発生器が発生するオフセットを加えるアナログ加算器と、

C、このアナログ加算器の出力側に設けられ、
オフセットの加算によって選択された波形
部分を切出す振幅リミッタと、

D、この振幅リミッタで切出した波形部分を
A D変換するA D変換器と、

によって構成した信号処理装置用入力装置。

3. 考案の詳細な説明

「産業上の利用分野」

この考案は例えばコンピュータ等によって構成された信号処理装置に被処理信号を入力する入力装置に関する。

「従来の技術」

第5図に従来の信号処理装置用入力装置を示す。入力端子1に入力された被処理信号は前置増幅器2でA/D変換に適した振幅値となるように調整され、その振幅調整された被処理信号をA/D変換器3に入力する。

A/D変換器3は被処理信号をA/D変換し、そのデジタル信号を信号処理装置に入力し、例えば波形解析等の処理を行なう。

「考案が解決しようとする課題」

可変利得増幅器2では被処理信号の振幅がA/D変換器3のA/D変換可能な振幅範囲に入るように被処理信号の振幅値を調整している。

しかるに、被処理信号の一部分だけを拡大して波形解析したい場合がある。

例えば第6図に示すようなテレビジョン信号のような場合に、部分Aだけを解析したい場合でも、従来は全体の振幅MがA/D変換器の許容振幅範囲内に入るように振幅調整を行ない、振幅Mの全体をA/D変換して信号処理装置4に入力し、信号処

理装置 4 の内部で波形部分 A だけを解析する方法が採られている。

このようにした場合 A D 変換器 3 の全体のビット数に対し部分 A を A D 変換するビット数は小さいビットに制限されるため部分 A の A D 変換データは分解能が悪くなってしまう欠点がある。

この考案の目的は被処理信号の一部を分解能よく A D 変換することができる信号処理装置用入力装置を提案するにある。

「課題を解決するための手段」

この考案では任意の直流電圧（又は電流）を発生することができるオフセット発生器と、このオフセット発生器が発生するオフセット電圧（又は電流）を被処理信号に加えるアナログ加算器と、アナログ加算器の出力側に設けられ、オフセットの加算によって選択された波形部分を切出す振幅リミッタと、この振幅リミッタで切出した波形部分を A D 変換する A D 変換器とによって信号処理装置用入力装置を構成したものである。

この考案の構成によれば被処理信号にオフセッ

ト電圧を加えこのオフセット電圧の加算によって振幅リミッタの中心値に希望する波形部分の中心を合致させ、これによって希望する波形部分以外の部分をリミッタで除去し、必要とする波形部分を切出すことができる。

よってこの波形部分をA/D変換器の許容入力振幅に増幅して与えることによって、この波形部分だけをA/D変換器の全ビットを使ってA/D変換することができる。

従って全体の振幅が大きい信号の一部でも分解能よくA/D変換して信号処理装置に入力することができ、精度の高い信号処理結果を得ることができる。

「実施例」

第1図にこの考案の一実施例を示す。図中1は被処理信号の入力端子、2は前置増幅器、3はA/D変換器、4は信号処理装置を示す点は従来と同じである。

この考案においてはA/D変換器3の前段側にアナログ加算器5と、振幅リミッタ6及び必要に応

じて振幅拡大用増幅器 7 を設けると共にアナログ加算器 5 に任意のオフセットを与えるオフセット発生器 8 を設ける。

オフセット発生器 8 は例えば正及び負の電圧（又は電流）を発生することができる。

A/D 変換器を用いることができ、このオフセット発生器 8 で発生したオフセットをアナログ加算器 5 に与え、入力端子 1 から入力した被処理信号に加算する。

例えば第 6 図に示した波形部分 A を拡大して信号処理したい場合にはアナログ加算器 5 に負のオフセットを印加し、このオフセットの値を選定することにより波形部分 A の中心を振幅リミッタの制限電圧範囲の中心に合致させる。

これによって振幅リミッタ 6 からは必要とする波形部分 A だけを切出すことができ、この切出した波形部分 A を拡大用増幅器 7 で増幅し、その振幅が A/D 変換器 3 の入力許容範囲の限度に達するように設定すれば、A/D 変換器 3 のビット数を最大限に利用して A/D 変換を行なうことができる。

第2図に要部の実施例を示す。この例では可変利得増幅器2の入力側にアナログ加算回路5を設けた場合を示す。つまり前置増幅器2を構成する演算増幅器の入力端子にオフセット発生器8を接続し、演算増幅器の入力側でアナログ加算を行なう。

リミッタ6はダイオードの逆並列接続回路で構成することができ、ダイオードの導通電圧で制限電圧範囲が $\pm 0.7\text{ V}$ のリミッタを得ることができる。

「変形実施例」

第3図及び第4図にこの考案の変形実施例を示す。第3図に示す実施例は拡大増幅器7の後段にもリミッタ6Bを設けた場合を示す。

このように拡大増幅器7の後段にもリミッタ6Bを設けることによって不要部分の除去率を高めることができる。

第4図の実施例では前置増幅器2の出力側にアナログ加算器5A、5Bと、オフセット発生器8A、8B、振幅リミッタ6A、6B、拡大増幅器

7 A, 7 B、A D 変換器 3 A, 3 B をそれぞれ二組ずつ設け、1 つの被処理信号の異なる部分の波形を拡大して A D 変換できるように構成した場合を示す。

「考案の効果」

以上説明したようにこの考案によれば、全体の振幅の中の一部を拡大して A D 変換することができ、この A D 変換したデジタル信号を信号処理装置 4 に入力することができる。

よって振幅の微小部分でも精度の高い信号処理を行なうことができる。

また振幅リミッタ 6 で不要部分を除去して拡大用増幅器 7 で増幅する構造としたから拡大用増幅器 7 が飽和することはない。よって比較的高速信号でも歪みを与えることなく増幅し、A D 変換することができる効果も得られる。

4. 図面の簡単な説明

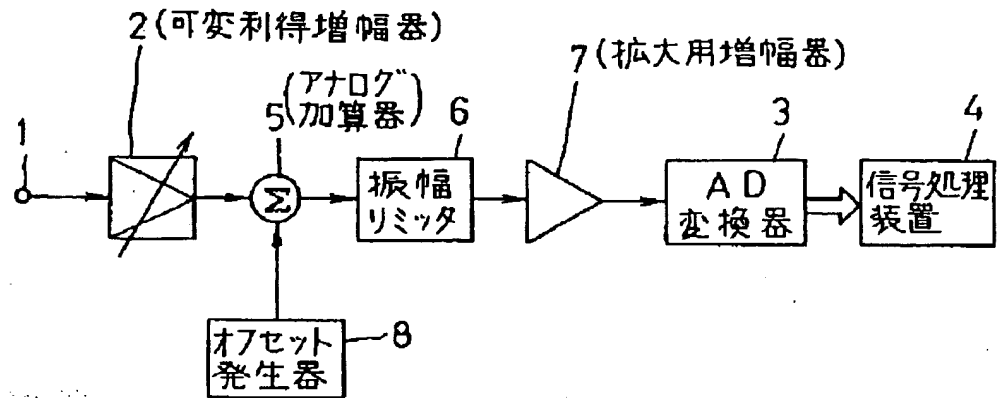
第 1 図はこの考案の一実施例を示すブロック図、第 2 図はこの考案の要部の具体的な実施例を示す接続図、第 3 図及び第 4 図はこの考案の変形実施

例を示すブロック図、第5図は従来の技術を説明するためのブロック図、第6図は従来の技術の不都合を説明するための波形図である。

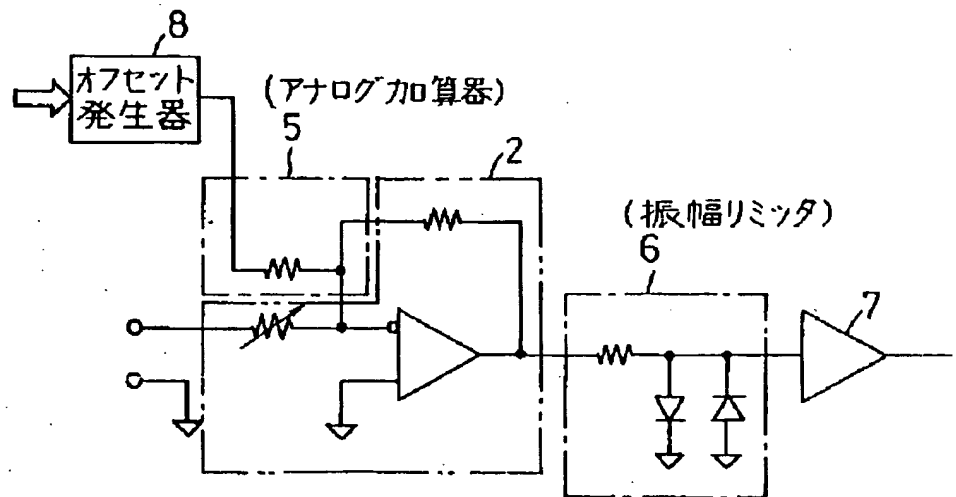
3 : A D変換器、5 : アナログ加算器、6 : 振幅リミッタ、7 : 拡大用増幅器、8 : オフセット発生器。

実用新案登録出願人 株式会社アドバンテスト
代 理 人 草 野 卓

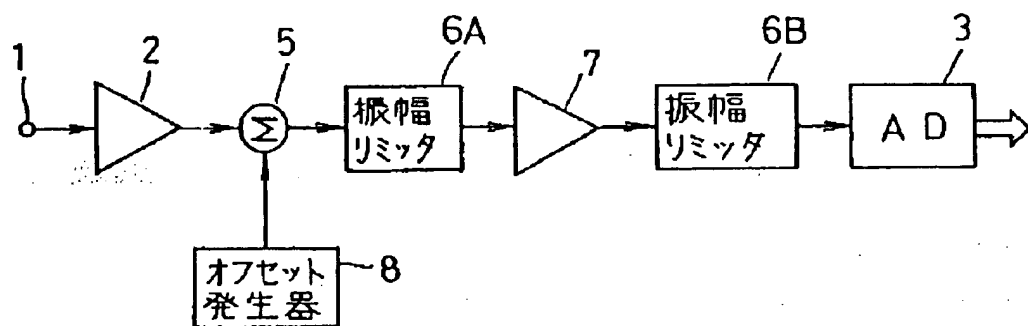
カ 1 図



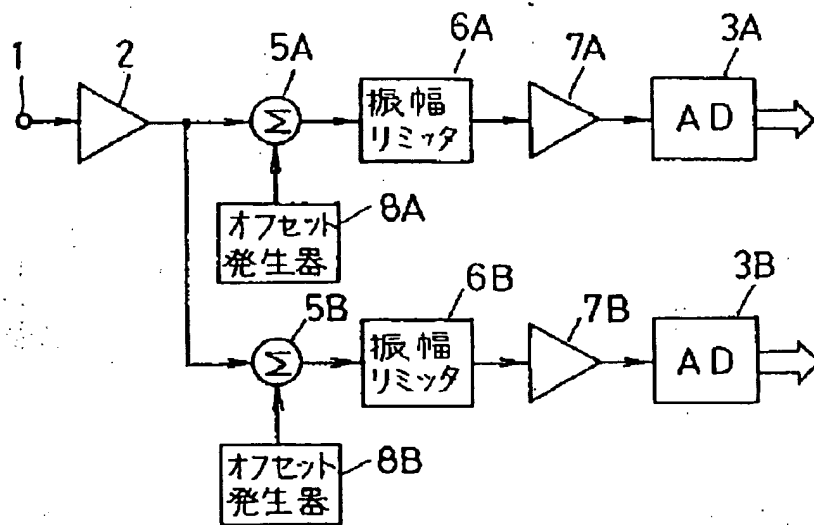
カ 2 図



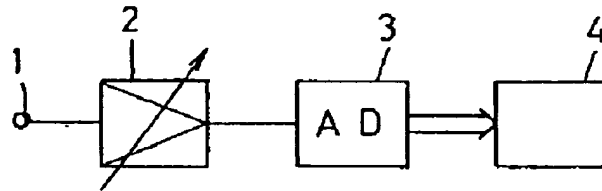
カ 3 図



カ 4 図



例 5 図



例 6 図

